**Интегральная и микропроцессорная схемотехника**

|  |
| --- |
|  |
| 1. Комбинация входных переменных АВС при которой на выходе «Y» будет сигнал логического «0»:    A)  B)  C) 110  D) 000  E)  F)  G) 010 |
| 2. Число входов элемента «ИЛИ-НЕ»:  A) только 1  B) 2 и более  C) минимум 2  D) только 2  E) не менее 2  F) равно 1 |
| 3. Логический элемент имеющий только –2- входа:  A) Шеффера  B) Исключающее ИЛИ  C) Инверсии  D) Неравнозначность  E) Сложение по модулю 2 |
| 4. Булево выражение для функции «ИСКЛЮЧАЮЩЕЕ ИЛИ»:  A)  B)  C)  D)  E) |
| 5. Логическая функция инверсии реализуется:  A)  B)  C)  D)  E) |
| 6. Входные и выходные сигналы соответствуют логической функции:    A) Сумма по модулю 2  B) И  C) ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ  D) ИЛИ–НЕ  E) Коньюкции  F) И–НЕ  G) ИСКЛЮЧАЮЩЕЕ ИЛИ |
| 7. Микросхемы являющие дешифратором:  A) К155ИД7  B) К1533ИР4  C) К1533ЛИ2  D) К155ИВ1  E) К561ИД4  F) К155ИЕ5 |
| 8. Серия микросхем, содержащих элементы типа «НЕ»:  A) ЛН1  B) ТЛ3  C) ЛЛ1  D) ИЕ2  E) ЛН3  F) КП2  G) ЛН2 |
| 9. Комбинация входных переменных Х2, Х1, Х0 дающая на выходе «Y» сигнал, имеющий логической единицы:   |  |  | | --- | --- | |  | &  1  X0  X1  X2  Y |   A) 101  B) 011  C) 110  D) 010  E) 111  F) 001  G) 000 |
| 10. Семисегментный код соответствующий десятичному числу «4»:    A) 0011100  B)  C) 1100110  D)  E) |
| 11. Для построения RS-триггера с активным «высоким» уровнем используются элементы с логической функцией:  A)  B)  C) И  D) И–НЕ  E)  F) ИЛИ–НЕ  G) Пирса |
| 12. Комбинация входных переменных х2, х1, х0 дающая на выходе «Y» сигнал логического нуля:    A)  B) 110  C)  D) 111  E) 001 |
| 13. Схема реализует логическую функцию:    A) Инверсии коньюнкции  B) И-НЕ  C) 2 ИЛИ–НЕ  D) НЕ  E) ИСКЛЮЧАЮЩЕЕ ИЛИ  F) Исключающее ИЛИ-НЕ  G) ИЛИ |
| 14. Схема реализует логическую функцию**:**    A) Исключающее или-не  B) Или  C) Конъюнкции  D) Дизъюнкции  E) Или-не  F) И-не |
| 15. Количество ячеек памяти которое может содержать ОЗУ, если для адресации выделено 10 разрядов:  A) 12Q  B) 800  C) 10  D) 2000Q  E) 0AH  F) 128 |
| 16. Количество линий адреса необходимых для обращения к блоку памяти емкостью 2 килобайта:  A) 11  B) 0BH  C) 2048  D) 800H  E) 2  F) 12 |
| 17. Устройство, осуществляющее автоматическое преобразование непрерывно изменяющейся аналоговой величины в цифровой код:  A) ЦАП  B) Счетчик  C) Компаратор  D) Преобразователь напряжение-код  E) АЦП  F) Кодер  G) Преобразователь ток-код |
| 18. Cхема реализует логическую функцию:    A)  B)  C)  D)  E) Описывается выражением  F) |
| 19. Верная запись числа в различных системах счисления:  A) 02H3F  B) 999Q  C) 1010Q  D) 10010C  E) 732H  F) 1010B |
| 20. Неверная запись числа в различных системах счисления:  A) 10010B  B) 1A6D  C) 1A6H  D) 1A6Q  E) 10010D |
| 21. Количество разрядов необходимых под сумму двух 8-разрядных двоичных чисел:  A) 9  B) 17  C) 64  D) 10000B  E) 1001B |
| 22. Cхема реализует логическую функцию:    A)  B) F=A/B  C) ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ  D) ИЛИ–НЕ  E) ИСКЛЮЧАЮЩЕЕ ИЛИ |
| 23. Схема, реализующая логическую функцию:  A) ИЛИ  B)  C) И–НЕ  D)  E) ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ  F) Описывается выражением |
| 24. Наибольшее число, которое можно представить 4-разрядным кодом, в двоичной системе:  A) 208  B) 0Fh  C) 178  D) 9  E) 10h  F) 16  G) 15 |
| 25. Запись соответствующая разности 59СH - C66H:  A) 33128  B) -1202H  C) 936H  D) 1738  E) -736H  F) 6CAH |